

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303303

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H01L 21/82

(21)Application number : 10-106382

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 16.04.1998

(72)Inventor : RICHARD W GREGER
KIZILYALLI ISIK C
RANBIA SHIN

RECEIVED

MAR 18 2005

OFFICE OF PETITIONS

(30)Priority

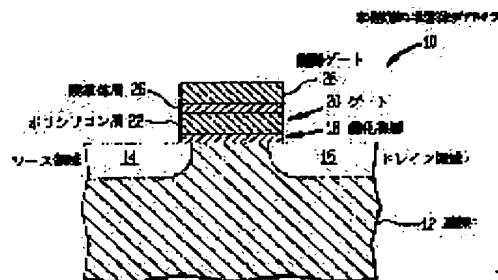
Priority number : 97 848114 Priority date : 28.04.1997 Priority country : US

(54) PROGRAMMABLE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a new element wherein no secular change in efficiency which a passivated device has is comprised, by forming a dielectrics layer, on a substrate, comprising a hydrogen isotope of significant concentration, and forming a control gate on the dielectrics layer.

SOLUTION: Relating to a semiconductor device 10, a source region 14 and a drain region 16 are formed in a substrate 12, and under the presence of a hydrogen isotope vapor, thermalgrowth is performed to form an oxide layer 18. Then, on the oxide layer 18, a polysilicon layer 22 is deposited, doped, and etched to form a gate 20. On the polysilicon layer 22 of the gate 20, a dielectrics layer 26 is formed, on which a control gate 28 is formed. Thus, such new element as indicates no secular change in efficiency which a passivated device indicates can be manufactured.



LEGAL STATUS

[Date of request for examination] 08.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3457533

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303303

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

A

審査請求 未請求 請求項の数20 OL (全 6 頁)

(21) 出願番号 特願平10-106382

(22) 出願日 平成10年(1998) 4月16日

(31) 優先権主張番号 08/848114

(32) 優先日 1997年4月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 リチャード ダブリュー、グレガー

アメリカ合衆国, 32789 フロリダ, ウィ
ンター パーク, ウォーターフォール レ
イン 380

(74) 代理人 弁理士 三俣 弘文

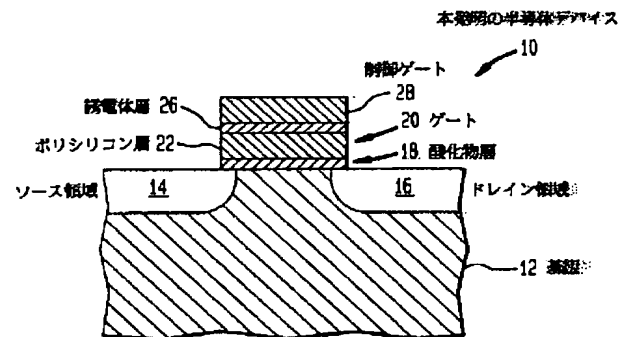
最終頁に続く

(54) 【発明の名称】 プログラマブル半導体デバイス

(57) 【要約】

【課題】 プログラマブル半導体デバイスとその製造方法を提供すること。

【解決手段】 本発明のデバイスは、基板12と、前記基板12上に形成された誘電体層26と、前記誘電体層26上に形成された制御ゲート28とからなり、前記誘電体層26が相当濃度の水素同位元素を含有することを特徴とする。



1

【特許請求の範囲】

【請求項 1】 (A) 基板 (12) と、

(B) 前記基板 (12) 上に形成された誘電体層 (26) と、

(C) 前記誘電体層 (26) 上に形成された制御ゲート (28) と、からなり、前記誘電体層 (26) は、相当濃度の水素同位元素を含有することを特徴とするプログラマブル半導体デバイス。

【請求項 2】 前記水素同位元素は、重水素であることを特徴とする請求項 1 記載のデバイス。

【請求項 3】 (D) 前記制御ゲート (28) に近接して形成されたフローティングゲート (22, 36) をさらに有し、

前記半導体デバイスは、フローティングゲートアバランシェ注入金属酸化物半導体トランジスタ (FAMOS) とフローティングゲートトンネル酸化物半導体トランジスタ (FLOTOX) からなるグループから選択されたものであることを特徴とする請求項 1 記載のデバイス。

【請求項 4】 前記 (D) フローティングゲートは、相当濃度の水素同位元素を含有することを特徴とする請求項 3 記載のデバイス。

【請求項 5】 前記フローティングゲートは、重水素化ポリシリコン製 (22) であることを特徴とする請求項 4 記載のデバイス。

【請求項 6】 前記制御ゲート (28) は、相当濃度の水素同位元素を含有することを特徴とする請求項 1 記載のデバイス。

【請求項 7】 前記制御ゲート (28) は、重水素化ポリシリコン製であることを特徴とする請求項 6 記載のデバイス。

【請求項 8】 前記水素同位元素は、前記誘電体層と制御ゲートの間の界面トラップを減少させることを特徴とする請求項 1 記載のデバイス。

【請求項 9】 前記誘電体層 (26) は、重水素化蒸気 (D₂O) と重水素化シラン (SiD₄) と重水素化テトラエチルオルトシラン (TEOS) からなるグループから選択されたガスソースから形成されることを特徴とする請求項 1 記載のデバイス。

【請求項 10】 前記基板 (12) は、シリコンからなり、かつ少なくとも 1 つのドープ領域 (14, 16) を含有することを特徴とする請求項 1 記載のデバイス。

【請求項 11】 (A) 少なくとも部分的にシリコン製の基板 (12) 上に誘電体層 (26) を形成するステップと、

(B) 前記誘電体層 (26) を相当濃度の水素同位元素でもって不動態化処理するステップと、

(C) 前記誘電体層 (26) 上に制御ゲート (28) を形成するステップとを有することを特徴とする半導体デバイスの製造方法。

【請求項 12】 前記水素同位元素は、重水素であるこ

2

とを特徴とする請求項 11 記載の方法。

【請求項 13】 (D) 前記制御ゲートに近接して形成されたフローティングゲート (22) を形成するステップをさらに含み、

前記半導体デバイスは、フローティングゲートアバランシェ注入金属酸化物半導体トランジスタ (FAMOS) とフローティングゲートトンネル酸化物半導体トランジスタ (FLOTOX) からなるグループから選択されたものであることを特徴とする請求項 11 記載の方法。

10 【請求項 14】 前記 (D) のステップは、相当濃度の水素同位元素を前記フローティングゲート (22) に導入するステップを含むことを特徴とする請求項 13 記載の方法。

【請求項 15】 前記相当濃度の水素同位元素を導入するステップは、重水素化ポリシリコンを前記フローティングゲートに導入するステップを含むことを特徴とする請求項 14 記載の方法。

20 【請求項 16】 前記 (C) のステップは、相当濃度の水素同位元素を前記制御ゲートに導入するステップを含むことを特徴とする請求項 11 記載の方法。

【請求項 17】 前記相当濃度の水素同位元素を導入するステップは、重水素化ポリシリコンを前記制御ゲートに導入するステップを含むことを特徴とする請求項 16 記載の方法。

【請求項 18】 前記 (A) のステップは、重水素化蒸気 (D₂O) と重水素化テトラエチルオルトシラン (TEOS) からなるグループから選択されたガスから前記誘電体層を形成するステップを含むことを特徴とする請求項 11 記載の方法。

30 【請求項 19】 (E) 少なくとも 1 つのドープ領域 (14, 16) を前記基板内に形成するステップをさらに有することを特徴とする請求項 11 記載の方法。

【請求項 20】 (F) 前記基板上に少なくとも 1 つの導体を形成するステップをさらに有することを特徴とする請求項 11 記載の方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】本発明は、半導体デバイスに関し、特に、相当量の重水素を含有するフラッシュ EEPROM 構造を有する半導体デバイスに関する。

【0002】

【従来の技術】フローティングゲートのアバランシェインジェクション MOS トランジスタ (Floating-Gate Avalanche-injection MOS transistors (FAMOS)) およびフローティングゲートトンネル酸化物トランジスタ (Floating-Gate tunnel-oxide transistor (FLOTOX)) のような半導体デバイスでシリコンを使用することは公知である。同時にこれらデバイスの経年劣化は、ホットキャリア劣化効果と称し公知である。通常 FAMOS と FLOTOX 構造は、多くの問題に耐え、少

なくとも104回の消去動作にも耐えなければならない。多くのプログラム動作および消去動作の後、しきい値電圧ウィンドウ（即ち、プログラム動作と消去動作の後の差分）が減少するが、その理由は界面トラップ注入効率の観点から酸化物の品質の劣化に起因している。

【0003】この界面トラップは、半導体デバイス内の電流フローにより生成される欠陥が原因であると考えられている。これらの欠陥状態は、キャリアの移動性と寿命を低減させ、半導体デバイスの性能を劣化させる。多くの場合、基板はシリコンを含有し、これらの欠陥は、エネルギーギャップ内に印加されたバイアスに一部依存して半導体デバイス内の電荷キャリアを除去したり、不要な電荷キャリアを付加するような状態を導入するダングリングボンド（dangling bonds 即ち、ぶら下がり結合）により引き起こされると考えられている。

【0004】ダングリングボンドは、半導体デバイスの表面あるいは界面で主に発生するが、空隙、マイクロ細孔、転位のある場所でも発生し、また不純物とも関係すると見られている。このようなダングリングボンドにより引き起こされる問題を解決するために、水素不動態化プロセスを用いるが、これは半導体デバイスの製造における一般的に確立した処理である。

【0005】水素不動態化プロセスにおいては、半導体デバイスの動作に影響を及ぼすような欠陥は、水素がダングリングボンドサイトでシリコンと結合すると、除去できると考えられる。一方、水素不動態化処理は、これらのダングリングボンドに関連する問題については解決することができるが、経年劣化の問題を永久的に解決できるものではない。理由は、不動態化プロセスにより付加された水素原子は、ホットキャリア効果により、ダングリングボンドサイトから「脱着」即ち除去されてしまうからである。

【0006】ホットキャリアは、電圧が半導体デバイスの電極に加えられた時に付加される高運動エネルギーを有する電子またはホールである。このような動作状態においては、水素不動態化プロセスにより付加された水素原子は、ホットエレクトロンによって追い出されてしまう。この水素脱着（追い出されること）は、半導体デバイスの性能の劣化あるいは経年劣化の原因となる。

【0007】確立された理論によると、この経年劣化プロセスは、水素をシリコン製基板の表面あるいは二酸化シリコンの界面から脱着を促すようなホットキャリアの結果として発生する。このホットキャリア効果は、特に小型の半導体デバイスの際には問題となる。

【0008】

【発明が解決しようとする課題】したがって本発明の目的は、従来のプロセスにより不動態化されたデバイスが有する効率の経年劣化を有さない新規の素子の製造方法およびその方法により製造された素子を提供することである。

【0009】

【課題を解決するための手段】本発明は従来技術の欠点を解決するために、請求項1に記載した特徴を有する。本発明の一実施例においては、この基板は少なくとも1つのドーブ領域を有する。さらに本発明は複数のドーブ領域を有する半導体デバイスの形成にも適用できる。本発明は、プログラマブル半導体デバイスの誘電体層を不動態化処理するために通常の水素の代わりに水素同位元素を用いる。本発明においては、「相当量」とは、水素同位元素を少なくとも $1.0 \times 10^{16} \text{ cm}^{-3}$ の濃度を意味する。

【0010】本発明の一実施例においては、この水素同位元素は重水素であるが、しかし、本発明の原理はより重い水素同位元素にも適用できる。本発明の一実施例は、さらに請求項3に記載した特徴を有する。さらに本発明の一実施例においては、請求項4または5に記載した特徴を有する。本発明は他の公知のあるいは今後発見されるであろうプログラマブル半導体デバイスにも適用可能である。さらに本発明の一実施例においては、請求項6または7に記載した特徴を有する。

【0011】本発明の一実施例においては、本発明はさらに請求項8に記載した特徴を有する。さらにまた水素同位元素が存在する場合にはこの水素同位元素は、基板と誘電体層との間の界面トラップおよびポリシリコン、制御ゲート、フローティングゲートの間の界面トラップを減少させる。これらの界面トラップは、時間とともに成長し、ついには半導体デバイスをプログラムをするのを困難にしてしまう。しかし、誘電体層内に水素同位元素が存在することにより界面トラップを減少させ、これによりプログラムしたり消去したりするデバイスのサイクル数を増加させる。本発明はさらに請求項9に記載した特徴を有する。

【0012】

【発明の実施の形態】図1において、本発明の半導体デバイス10は積層型ゲートを有するフラッシュEEPROM構造を有する。一実施例においては、半導体デバイス10は基板12を有し、この基板12内に従来方法によりソース領域14とドレイン領域16が形成されている。この基板12は、Si、Ge、GaAsあるいは他の公知の、あるいは後で発見されるこのような半導体デバイスを製造するのに適した材料製である。好ましい実施例においては、基板12は少なくとも一部にはSiを含む。

【0013】本発明の半導体デバイス10はさらに相当濃度の水素同位元素を含有する酸化物層18を有する。ここで「相当濃度」とは、水素同位元素の少なくとも $1.0 \times 10^{16} \text{ cm}^{-3}$ の濃度を意味する。この実施例においては、酸化物層18は水素同位元素の蒸気の下で熱成長されて形成される。水素同位元素の蒸気は、水素同位元素のできるだけ高い濃度を有しなければならない。しかし、通常の水素は、蒸気内に1ppmを超えてはならな

5

い。一実施例においては、この水素同位元素の蒸気は、重水素蒸気 (D_2O) であるが、本発明は様々な種類の水素同位元素のイオン形態を含むより重い水素同位元素にも適応できる。

【0014】別法として酸化物層 18 は、相当濃度の水素同位元素 (例、重水素) を含む混合ガスから化学的に堆積して形成することもできる。このようなガスおよび混合ガスの代表例は、重水素化シランと酸素 ($SiD_4 + O_2$)、重水素化シランと酸化窒素 ($SiD_4 + N_2O$)、重水素化テトラエチルオートシラン (TEOS, $Si(OC_2D_5)_4$)、重水素化シラン (SiD_4) あるいは重水素化ジクロロシランと酸化窒素 ($SiCl_2D_2 + N_2O$) を含む。他の混合ガスを用いて半導体デバイス 10 内に酸化物層を形成することもできるが、但し、このガス混合物は相当濃度の水素同位元素を含有している。但し、通常の水素は、混合ガス中に 1 ppm を超えてはならない。

【0015】水素同位元素は従来の処理条件で構造体内に導入することができるが、このような材料を堆積するのに用いられる混合ガスは、相当濃度の水素同位元素を含有しなければならない点で、本発明は従来技術と異なる。不動態化が行われる圧力は、大気圧以上または大気圧より遥か下の圧力のいずれでもよく、ガス状材料の流速は、堆積に使用される装置によって決まる。好ましい形成速度を与えるための条件は、1 分あたり 0.01 nm から 10.0 nm の範囲である。しかし、好ましい実施例では形成速度は、層によって異なり 0.5 nm から 3 nm である。

【0016】酸化物層 18 を水素同位元素で不動態化処理すると、酸化物層 18 内のダングリングボンドサイトが水素同位元素で占有されると考えられる。この不動態化処理がフラッシュ EEPROM 内の劣化を大幅に低減させる。理由はダングリングボンドサイトは、デバイス内の電荷キャリアを除去したり、不要な電荷キャリアを付加することにもはや利用できないからである。

【0017】さらにまた水素同位元素は、基板 12 内で破壊するのが難しい結合を形成し、その結果より信頼性のある光学デバイスあるいは電気デバイスを提供できる。ダングリングボンドが破壊しづらいことの説明は、水素同位元素は通常の水素よりも質量が大きく、そのため水素同位元素を除去するのが困難なためと思われる。かくして酸化物層 18 内の水素同位元素の存在により従来技術よりも優れた利点を提供する。

【0018】ゲート 20 を形成するために、ポリシリコン層 22 が酸化物層 18 の上に堆積され、ドーピングされ、エッチングされる。水素同位元素がポリシリコン層 22 内に通常の技術を用いて導入されるが、但し、ポリシリコン層 22 を堆積するのに用いられるガスは相当濃度の水素同位元素を含有する。このガスの代表例は、重水素化シラン (SiD_4) である。他の混合ガスを用い

6

て様々な種類のポリシリコン構造体を半導体デバイス 10 内に構成することもできるが、但し、それらのガスは相当濃度の水素同位元素を含有していなければならない。

【0019】従来のプロセスは材料を堆積するが、但し、ガスは相当濃度の水素同位元素を含有しなければならない。不動態化が行われる圧力は、大気圧以上または大気圧より遥か下の圧力のいずれでもよく、ガス状材料の流速は、堆積に使用される装置によって決まる。好ましい形成速度を与えるための条件は、1 分あたり 0.01 nm から 10.0 nm の範囲である。しかし、好ましい実施例では形成速度は、層によって異なり 0.5 nm から 3 nm である。

【0020】ポリシリコン層 22 の上に誘電体層 26 が形成される。但し、形成するのに使用される混合ガスは、重水素のような相当濃度の水素同位元素 (例、重水素) を含有しなければならない。このようなガスおよび混合ガスの代表例は、重水素化シランと酸素 ($SiD_4 + O_2$)、重水素化シランと酸化窒素 ($SiD_4 + N_2O$)、重水素化テトラエチルオートシラン (TEOS, $Si(OC_2D_5)_4$)、重水素化シラン (SiD_4) あるいは重水素化ジクロロシランと酸化窒素 ($SiCl_2D_2 + N_2O$) を含む。他の混合ガスを用いて半導体デバイス 10 内に酸化物層を形成することもできるが、但し、このガス混合物は相当濃度の水素同位元素を含有している。但し、通常の水素は、混合ガス中に 1 ppm を超えてはならない。

【0021】水素同位元素は従来の処理条件で構造体内に導入することができるが、このような材料を堆積するのに用いられる混合ガスは、相当濃度の水素同位元素を含有しなければならない点で、本発明は従来技術と異なる。不動態化が行われる圧力は、大気圧以上または大気圧より遥か下の圧力のいずれでもよく、ガス状材料の流速は、堆積に使用される装置によって決まる。好ましい形成速度を与えるための条件は、1 分あたり 0.01 nm から 10.0 nm の範囲である。しかし、好ましい実施例では形成速度は、層によって異なり 0.5 nm から 3 nm である。しかし、堆積速度は層の所望の厚さおよび均一性に依存して上記の値から変わることもある。

【0022】誘電体層 26 が水素同位元素で不動態化処理されると、誘電体層 26 内のダングリングボンドサイトは、前述したように水素同位元素により占有される。この強くなった水素同位元素/シリコン間の結合が劣化速度を遅くするような頑強さを誘電体層に与える。

【0023】さらに図 1 においては、制御ゲート 28 が誘電体層 26 の上に形成される。この制御ゲート 28 は、例えばポリシリコンのような従来のプロセスと材料により形成される。しかし、一実施例においては、制御ゲート 28 は相当濃度の水素同位元素を含有するドーピングポリシリコンを含有する。この実施例においては、制御

7

ゲート 28 は従来のプロセスにより形成されるが、但し、制御ゲート 28 を形成するのに用いられるガスは、例えば重水素化シラン (SiD_4) のような水素同位元素を相当濃度含有する。

【0024】水素同位元素がポリシリコン層 22、誘電体層 26 または制御ゲート 28 内に導入されると、界面トラップ、注入効率、リークの観点から酸化物品質に劣化を与えることなく、プログラムのサイクルおよび消去サイクルが大幅に増えてもそれに耐えられるスタック状のゲートを有するフラッシュ EEPROM 構造が得られる。

【0025】図 2 には、半導体デバイスに用いられる分離型ゲートのフラッシュ EEPROM デバイス 30 が示されている。この実施例においては、分離型ゲートのフラッシュ EEPROM デバイス 30 は従来のプロセスにより形成され、ドーピングされた半導体基板 32 の上に形成される。分離型ゲート酸化物 34 即ちトンネル酸化物が従来プロセスにより半導体基板 32 の上に形成される。しかし、必要によっては水素同位元素を図 1 の積層型ゲート構造と同様に分離型ゲート酸化物 34 に導入することもできる。

【0026】分離型ゲートのフラッシュ EEPROM デバイス 30 はさらにフローティングゲート 36 を有する。積層型ゲートを有する EEPROM デバイスのフローティングゲートと同様に、フローティングゲート 36 は従来プロセスにより好ましくはポリシリコン材料製である。しかし、別法として相当濃度の水素同位元素を図 1 の積層型構造体のフローティングゲートと同様なプロセスにより導入してもよい。

【0027】フローティングゲート 36 の上に誘電体層 38 が形成される。この誘電体層 38 は相当濃度の水素同位元素を含み、これは図 1 の積層型ゲート構造体の誘電体層におけるのと同様である。

【0028】分離型ゲートのフラッシュ EEPROM デバイス 30 は、さらに制御ゲート 40 を有する。この制御ゲート 40 は従来プロセスで形成される。別法として図 1 の積層ゲート構造の制御ゲートと同様な材料同様な方法を用いて、その中に相当濃度の水素同位元素を導入することもできる。

【0029】水素同位元素が分離型ゲート酸化物 34、フローティングゲート 36、誘電体層 38 または制御ゲート 40 内に導入されると、界面トラップ、注入効率、リークの観点から酸化物品質に劣化を与えることなく、プログラムのサイクルおよび消去サイクルが大幅に増えてもそれに耐えられる分離ゲート型のフラッシュ EEPROM 構造が得られる。

【0030】別法として、あるいは上記のプロセスに加えて水素同位元素の半導体デバイスへの導入時期は、製造プロセス中のいつでもよく、例えばプロセスの終了時、デバイスを封入する直前でもよい。このような場合

8

においては、水素同位元素は、10 分から 2 時間もしくはそれ以上の範囲の時間間隔に亘る形成ガスアニールステップの際に、200℃から 1000℃の範囲の温度で導入する。この形成ガスは、例えば窒素と水素同位元素の混合物、あるいは通常水素と水素同位元素の混合物でもよい。このアニールステップは、相当濃度の水素同位元素がガス混合中に存在すること以外は公知である。

【0031】図 3 は、ピーク基板電流状態においてトランジスタ上で実行されたホットキャリアストレスの実験結果を表すグラフである。ホットキャリアに起因する界面損傷は、NMOS トランジスタの線形トランスコンダクタンス (g_m) としきい値電圧 (V_{th}) の変化をモニタすることにより観測できる。図 3 はまた V_{th} の劣化とストレス時間との関係を示す。

【0032】同グラフに示すように通常の水素で不動態化処理されたトランジスタの劣化 (○印) は、重水素で不動態化処理されたトランジスタで観測される劣化 (□印) よりもはるかに高い。重水素で不動態化処理したデバイスのしきい値電圧は、104 分の期間の間、わずか 1.05 V に上昇するだけであるのに対し、同一期間水素で不動態化処理したデバイスのしきい値電圧は、1.3 V に増加する。

【0033】図 4 はトランジスタの寿命と基板電流との関係を表すグラフである。このデータから水素同位元素 (例えば、重水素) でアニール処理されたデバイスは、チャネルホットエレクトロンのストレスのもとでも、はるかに頑強である。外挿されたトランジスタの寿命は、様々な劣化限界を用いて示されている。水素アニールと重水素アニールのプロセスの間の差は明白である。

【0034】本発明における基板電流は、重水素がポスト金属アニールプロセスにおいて水素の代わりに用いられた時には、等しいホットエレクトロン劣化寿命を達成する場合は 2 倍に増加する。本発明により NMOS デバイスと半導体デバイスの間の構造が類似の場合には、同様の結果が半導体デバイスと NMOS デバイスで得られる。

【図面の簡単な説明】

【図 1】積層型ゲートを有するフラッシュ EEPROM デバイスの断面図

【図 2】分離型ゲートを有するフラッシュ EEPROM デバイスの断面図

【図 3】ピーク基板電流状態において、水素処理したトランジスタと重水素処理したトランジスタ上で実行されたホットキャリアストレスの実験結果を表すグラフ

【図 4】水素処理したトランジスタと重水素処理したトランジスタの寿命と基板電流との関係を表すグラフ

【符号の説明】

10 本発明の半導体デバイス

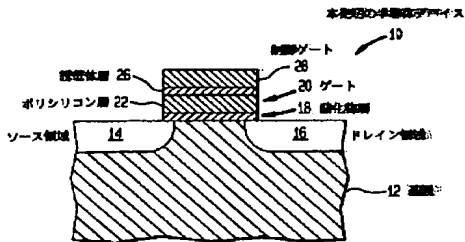
12 基板

14 ソース領域

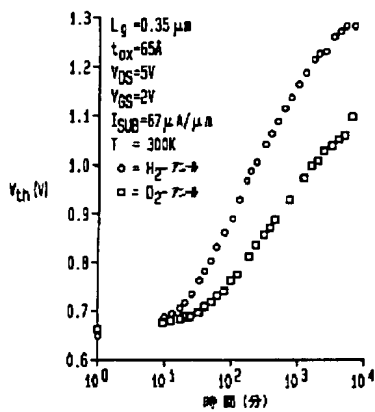
9

- 16 ドレイン領域
- 18 酸化層
- 20 ゲート
- 22 ポリシリコン層
- 26, 38 誘電体層

【図 1】



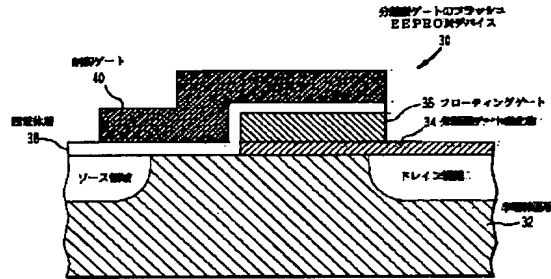
【図 3】



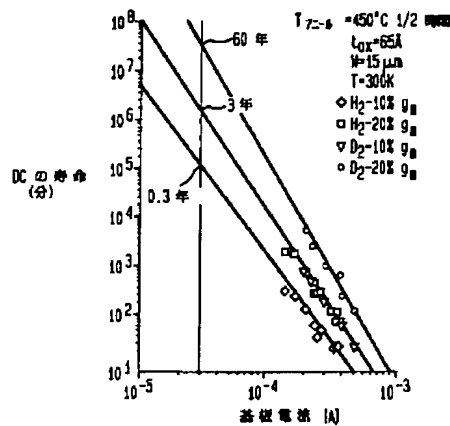
10

- * 28, 40 制御ゲート
- 30 分離型ゲートのフラッシュ EEPROM デバイス
- 32 半導体基板
- 34 分離型ゲート酸化層
- * 36 フローティングゲート

【図 2】



【図 4】



フロントページの続き

(71) 出願人 596077259
600 Mountain Avenue,
Murray Hill, New Jersey
07974-0636 U. S. A.

(72) 発明者 イジック シー、キジルヤリー
アメリカ合衆国, 32819 フロリダ, オー
ランド, ダブルトレイス レイン 6535
(72) 発明者 ランビア シン
アメリカ合衆国, 37813 フロリダ, オー
ランド, シュガービュー コート 7867